



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07235638 A**(43) Date of publication of application: **05.09.95**

(51) Int. Cl

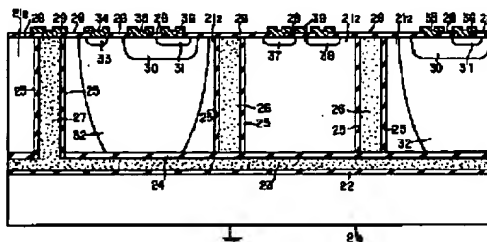
**H01L 27/04****H01L 21/822****H01L 21/762****H01L 27/12**(21) Application number: **06025236**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **23.02.94**(72) Inventor: **MOCHIZUKI HIROSHI**(54) **SEMICONDUCTOR DEVICE**

## (57) Abstract:

**PURPOSE:** To provide a semiconductor device provided with a capacitor which can be easily enhanced in capacity and degree of integration.

**CONSTITUTION:** A semiconductor substrate 21<sub>1</sub> on which an oxide film 22 and a polysilicon film 23 are successively formed and a semiconductor substrate 21<sub>2</sub> on which a polysilicon film 23 is formed are bonded together into one piece through a direct bonding method. An element isolating trench cut in the semiconductor substrate 21<sub>2</sub> so deep as to reach an oxide film 24 and provided with a side wall oxide film 25 formed on its side wall, another trench cut in the semiconductor substrate 21<sub>2</sub> so deep as to reach the polysilicon film 23 and provided with a side wall oxide film 25 formed on its side wall, a polysilicon film 27 filled into the trench side wall of the trench, and an Al electrode 29 formed on the polysilicon film 27 are provided.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235638

(43) 公開日 平成7年(1995) 9月5日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/04  
21/822  
21/762

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/ 04  
21/ 76

C  
D

審査請求 未請求 請求項の数 2 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-25236

(22) 出願日 平成6年(1994) 2月23日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 望月 博

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

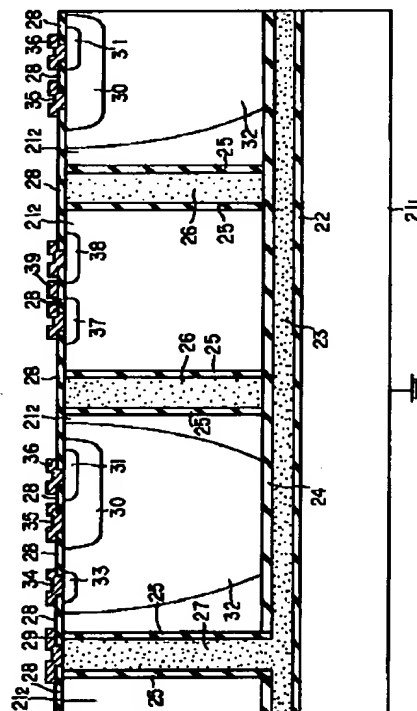
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【目的】 高容量化および高集積化が容易なコンデンサを備えた半導体装置を提供すること。

【構成】 表面に酸化膜22とポリシリコン膜23とを順次形成した半導体基板21<sub>1</sub>と、表面にポリシリコン膜23を形成した半導体基板21<sub>2</sub>とを直接接着法により一体化したものであって、酸化膜24に達する半導体基板21<sub>2</sub>に形成された素子分離用のトレンチ溝と、このトレンチ溝の側壁に形成された側壁酸化膜25と、ポリシリコン膜23に達し、側壁に側壁酸化膜25が形成されたトレンチ溝と、このトレンチ溝内を充填するポリシリコン膜27と、このポリシリコン膜27に設けられたA1電極29とを備えている。



## 【特許請求の範囲】

【請求項 1】部分的に薄く形成された薄膜部分を含む埋込み絶縁膜が挿設された半導体基板と、この半導体基板内に設けられ、前記埋込み絶縁膜上に形成された導電膜と、この導電膜を介して前記埋込み絶縁膜に達し、且つ前記埋込み絶縁膜の薄膜部分を囲むように、前記半導体基板の表面に形成された素子分離領域と、前記埋込み絶縁膜の薄膜部分上の前記導電膜に電気的に接続する電極とを具備してなることを特徴とする半導体装置。

【請求項 2】第 1 の埋込み絶縁膜が挿設された半導体基板と、この半導体基板内に設けられ、前記第 1 の埋込み絶縁膜上に形成された導電膜と、前記半導体基板内に設けられ、前記導電膜上に形成された第 2 の埋込み絶縁膜と、この第 2 の埋込み絶縁膜に達し、前記半導体基板の表面に形成された素子分離領域と、前記導電膜に電気的に接続する電極とを具備してなることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置に係り、特に集積回路におけるコンデンサの改良に関する。

## 【0002】

【従来の技術】民生用集積回路、産業用集積回路等の集積回路において、コンデンサは回路の構成に必要な不可欠な素子の一つである。集積回路用のコンデンサとしては、例えば、MIS 型コンデンサ、MIM 型コンデンサ、接合型コンデンサ等が多用されている。これらコンデンサは以下のような構成になっている。

【0003】図 7 は、従来の MIS 型コンデンサの構造を示す断面図である。図中、71 は p 型シリコン基板を示しており、この p 型シリコン基板 71 の表面には、n<sup>+</sup> 型埋込み層 72 が形成されている。また、p 型シリコン基板 71 上には、n<sup>-</sup> 型エピタキシャル層 73 が形成されており、この n<sup>-</sup> 型エピタキシャル層 73 内には、n<sup>+</sup> 型埋込み層 72 に達する n<sup>+</sup> 型拡散層 76 が形成されている。この n<sup>+</sup> 型拡散層 76 上には、SiO<sub>2</sub> 膜 77 を介して、Al 電極 78 が形成され、この Al 電極 78、SiO<sub>2</sub> 膜 77、並びに n<sup>+</sup> 型拡散層 76 によって MIS 型コンデンサが構成されている。なお、図中、74 は素子分離用の p 型拡散層を示し、75 は LOCOS により形成された素子分離用の絶縁膜を示している。

【0004】図 8 は、従来の MIM 型コンデンサの構造を示す断面図である。図中、81 は p 型シリコン基板を示しており、この p 型シリコン基板 81 上には、n<sup>-</sup> 型拡散層 82 が形成されている。この n<sup>-</sup> 型拡散層 82 の表面には、LOCOS により形成された素子分離用の絶

縁膜 83 が形成されている。この素子分離用の絶縁膜 83 上には、ポリシリコン膜 84、CVD 絶縁膜 85、Al 電極 86 が順次形成され、これら 84、85、86 によって MIM 型コンデンサが構成されている。また、この MIM 型コンデンサの横の素子領域には、ソース・ドレイン領域 87、ゲート絶縁膜 88、ゲート電極 89 等で構成された MOS トランジスタが形成されている。

【0005】図 9 は、従来の接合型コンデンサの構造を示す断面図である。図中、91 は p 型シリコン基板を示しており、この p 型シリコン基板 91 の表面には、n<sup>+</sup> 型埋込み層 92 が形成されている。また、p 型シリコン基板 91 上には、n<sup>-</sup> 型拡散層 93 が形成され、この n<sup>-</sup> 型拡散層 93 の表面には、p 型拡散層 94 が形成されている。この p 型拡散層 94 と n<sup>-</sup> 型拡散層 93 とによりコンデンサを構成する pn 接合が形成されている。このコンデンサに蓄積される電荷は、上記 pn 接合の近傍に形成される空乏層により制御される。また、p 型拡散層 94 には、絶縁膜 95 を介してコンタクトするコンデンサ電極 96 が設けられている。なお、図中、97 は LOCOS により形成された素子分離用の絶縁膜を示している。

【0006】ところで、これらの従来のコンデンサには以下のような問題がある。すなわち、図 7、図 9 のコンデンサの場合には、図 8 のそれとは異なり、コンデンサ領域が別途必要となり、高集積化の点で問題がある。

【0007】また、図 8 の場合には、CVD 絶縁膜 85 として、例えば、厚さ 50 nm のシリコン窒化膜を用いて、1500 p f のコンデンサを作成する場合でも、コンデンサの面積が 50 nm<sup>2</sup> となるため、0.1 μ f 以上の大容量のコンデンサをオンチップ上に搭載することは殆ど不可能である。

【0008】更に、図 7 の MIS 型コンデンサの場合、SiO<sub>2</sub> 膜 77 (SiO<sub>2</sub> 膜 77 の代わりに窒化膜を用いた場合には該窒化膜) を薄くするほど単位面積当たりの容量を大きくできるが、絶縁耐圧、薄膜形成技術、信頼性の点から SiO<sub>2</sub> 膜 77 (窒化膜) の薄膜化には限界があり、大容量にするにはコンデンサの面積を大きくしなければならず、高集積化が困難である。

【0009】更にまた、図 9 の接合型コンデンサの場合、図 7、図 8 のそれに比べて、単位面積当たりの容量が小さく、大容量にするにはコンデンサの面積を大きくしなければならず、高集積化が困難である。

## 【0010】

【発明が解決しようとする課題】上述の如く、従来の集積回路用のコンデンサとして、MIS 型コンデンサ、MIM 型コンデンサ、接合型コンデンサ等が用いられていたが、これらコンデンサは大容量化、高集積化が困難であるという問題があった。

【0011】本発明は、上記事情を考慮してなされたもので、その目的とするところは、大容量化および高集積

化が容易なコンデンサを備えた半導体装置を提供することにある。

#### 【0012】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置（請求項1）は、部分的に薄く形成された薄膜部分を含む埋込み絶縁膜が挿設された半導体基板と、この半導体基板に挿設され、前記埋込み絶縁膜上に設けられた導電膜と、前記埋込み絶縁膜に達し、前記埋込み絶縁膜の薄膜部分を囲むように、前記半導体基板に形成された素子分離領域と、前記埋込み絶縁膜の薄膜部分上の前記導電膜に電氣的に接続する電極とを備えたことを特徴とする。

【0013】また、本発明の他の半導体装置（請求項2）は、第1の埋込み絶縁膜が挿設された半導体基板と、この半導体基板に挿設され、前記第1の埋込み絶縁膜上に設けられた導電膜と、前記半導体基板に挿設され、前記導電膜上に設けられた第2の埋込み絶縁膜と、この第2の埋込み絶縁膜に達する前記半導体基板に形成された素子分離領域と、前記導電膜に電氣的に接続する電極とを備えたことを特徴とする。

#### 【0014】

【作用】本発明の半導体装置（請求項1）によれば、素子分離溝で囲まれた領域の導電膜、埋込み絶縁膜、埋込み絶縁膜の下部の半導体基板および導電膜に電氣的に接続する電極とでコンデンサが形成されている。

【0015】このため、例えば、半導体基板のうち、素子や配線等に使用されていない余った領域（未使用領域）の下部に、コンデンサを形成すれば、高集積化を妨げずに済む。

【0016】また、上記未使用領域は面積が大きいことが多いので、大容量のコンデンサの作成が容易になる。本発明の半導体装置（請求項2）によれば、導電膜、第1の埋込み絶縁膜、第1の埋込み絶縁膜下部の半導体基板および導電膜に電氣的に接続する電極とでコンデンサが形成されている。

【0017】このため、先の発明の同様に、コンデンサを未使用領域に形成すれば、大容量化および高集積化を容易に行なえるようになる。更に、本発明の場合、第2の埋込み絶縁膜によって、導電膜と半導体基板とが絶縁されているので、未使用領域以外にもコンデンサを形成でき、高集積化、大容量化がより容易になる。

#### 【0018】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の第1の実施例に係るSOIを用いた半導体装置の構造を示す断面図である。

【0019】これを製造工程に従い説明すると、まず、第1のp型シリコン基板1<sub>1</sub>の表面を選択的に酸化して、SOIの埋込み絶縁膜としての厚さ1～2μm程度の厚い酸化膜2と、SOIの埋込み絶縁膜およびコンデンサの絶縁膜としての厚さ15～100nm程度の薄い

酸化膜3とを形成する。なお、第1のp型シリコン基板1<sub>1</sub>はアースされている。

【0020】次に酸化膜2、3により生じた表面の凹凸が埋まる程度の厚さ（約3μm以上）に高濃度の不純物を含むポリシリコン膜4を全面に堆積した後、ケミカル研磨、メカニカル研磨またはケミカル・メカニカル研磨により、ポリシリコン膜4の表面を平坦化する。

【0021】次に第2のn型シリコン基板1<sub>2</sub>を用意し、これを直接接着法により第1のp型シリコン基板1<sub>1</sub>と一体化した後、ケミカル研磨、メカニカル研磨またはケミカル・メカニカル研磨により、第2のp型シリコン基板1<sub>2</sub>を所定の膜厚になるまで研磨する。

【0022】次に反応性イオンエッチング（RIE）を用いて、酸化膜2に達する第1のトレンチ溝およびポリシリコン膜4に達する第2のトレンチ溝を第2のp型シリコン基板1<sub>2</sub>に形成する。ここで、第1のトレンチ溝は酸化膜3を囲むように形成する。この後、第1および第2のトレンチ溝の側壁に側壁酸化膜5を形成する。

【0023】次に厚い酸化膜2上に形成された第1のトレンチ溝をポリシリコン膜6で充填し、一方、薄い酸化膜3上に形成された第2のトレンチ溝の側壁の側壁酸化膜5と第2のトレンチ溝底部の酸化膜とをNH<sub>4</sub>F溶液を用いて除去する。

【0024】次に薄い酸化膜3上に形成された第2のトレンチ溝を高濃度の不純物を含むポリシリコン膜7で充填する。このポリシリコン膜7はコンデンサの引き出し電極として用いられる。

【0025】次に全面に酸化膜8を形成した後、周知の方法により、第2のn型シリコン基板1<sub>2</sub>に所望の素子、例えば、バイポーラトランジスタ、CMOSトランジスタ、パワーMOSトランジスタ等の素子を形成するとともに、コンデンサのA1電極9を形成して完成する。

【0026】なお、図中にはバイポーラトランジスタだけを示してある。すなわち、図中、10はベース層、11はエミッタ層、12は外部コレクタ層、13はコレクタ引き出し層、14はコレクタ電極、15はベース電極、16はエミッタ電極を示している。

【0027】本実施例によれば、第1のトレンチ溝に囲まれた領域内に、第1のp型シリコン基板1<sub>1</sub>と薄い酸化膜3とポリシリコン膜4とA1電極9とからなる埋込み構造のコンデンサが形成されている。

【0028】このような構造のコンデンサは、例えば、図2に示すように、ボンディングパッド17（或いは配線として用いる部分）の周辺の広い領域（0.7mm<sup>2</sup>以上）であるデッドゾーン18と呼ばれ領域の下部のシリコン基板内に形成する。

【0029】このような領域に形成すれば、高集積化を妨げない容量が大きなコンデンサを実現できる。なお、コンデンサと素子領域の素子とを接続するための引き出

し電極は、他の電極や配線と問題にならない領域に形成する。

【0030】かくして本実施例によれば、チップ面積を大きくすること無く、大容量のコンデンサをチップ内に形成でき、もって、集積回路の機能向上、付加価値向上、実装密度の向上等を図れるようになる。

【0031】なお、本実施例では、コンデンサの誘電体膜として酸化膜を用いたが、その代わりに、強誘電体物質を用いれば、より大きな容量のコンデンサを形成できるようになる。

【0032】図3は、本発明の第2の実施例に係るSOIを用いた半導体装置の構造を示す断面図である。これを製造工程に従い説明すると、まず、第1のp型シリコン基板21<sub>1</sub>の表面に、SOIの第1の埋込み絶縁膜およびコンデンサの絶縁膜としての厚さ15～100nm程度の薄い酸化膜22を形成する。なお、第1のp型シリコン基板21<sub>1</sub>はアースされている。

【0033】次に酸化膜22上に、高濃度の不純物を含み、厚さ3μm程度のポリシリコン膜23を形成した後、このポリシリコン膜23の表面を研磨し、鏡面化する。一方、第2のn型シリコン基板21<sub>2</sub>の表面には、SOIの第2の埋込み絶縁膜としての厚さ2μm程度の酸化膜24を形成する。

【0034】次に第1のp型シリコン基板21<sub>1</sub>と第2のp型シリコン基板21<sub>2</sub>とを直接接着した後、ケミカル研磨、メカニカル研磨またはケミカル・メカニカル研磨を用いて、所定の厚さまで、第2のp型シリコン基板21<sub>2</sub>を研磨する。

【0035】次にRIEを用いて酸化膜24に達する第1のトレンチ溝と、ポリシリコン膜23に達する第2のトレンチ溝とを形成した後、これら第1および第2のトレンチ溝の側壁に側壁酸化膜25を形成する。

【0036】次に酸化膜24に達する第1のトレンチ溝をポリシリコン膜26で充填し、一方、ポリシリコン膜27に達するようにNH<sub>4</sub>F溶液で第2のトレンチ溝底部の酸化膜24を除去する。その後、ポリシリコン膜23に達する第2のトレンチ溝を高濃度の不純物を含むポリシリコン膜27で充填する。このポリシリコン膜27はコンデンサの引き出し電極として用いられる。

【0037】次に全面に酸化膜28を形成した後、周知の方法により、第2のn型シリコン基板21<sub>2</sub>に所望の素子、例えば、バイポーラトランジスタ、CMOSトランジスタ、パワーMOSトランジスタ等の素子を形成するとともに、コンデンサのA1電極29を形成して完成する。

【0038】なお、図中には、バイポーラトランジスタと、パワーMOSトランジスタとを示してある。すなわち、バイポーラトランジスタは、図示に示す如く、ベース層30、エミッタ層31、外部コレクタ層32、コレクタ引き出し層33、コレクタ電極34、ベース電極3

5、エミッタ電極36と構成されている。

【0039】一方、パワーMOSトランジスタは、図示に示す如く、ソース拡散層37、ドレイン拡散層38、絶縁膜28、ゲート電極39等とで構成されている。本実施例によれば、ポリシリコン膜23は酸化膜24によって第2のシリコン基板21<sub>2</sub>と電気的に分離されているため、デッドゾーンの領域の他に、バイポーラトランジスタ、パワーMOSトランジスタ等の素子領域の下部の領域にも、p型シリコン基板21<sub>1</sub>、酸化膜22およびポリシリコン膜23とからなるコンデンサをチップ内に形成できる。このため、高集積化、大容量のコンデンサをより容易に得られるようになる。

【0040】例えば、コンデンサの絶縁膜（図中の酸化膜22に対応）として、厚さ50nmの窒化膜を用いた場合には、コンデンサ面積が7mm<sup>2</sup>の場合で、容量は1.5μfとなり、通常集積回路で必要な容量は殆ど確保できる。

【0041】また、上述したように、デッドゾーン以外の領域にもコンデンサを形成できるため、コンデンサを形成する場所は殆ど制約を受けなくなる。なお、本実施例では、コンデンサの誘電体膜として酸化膜を用いたが、その代わりに、強誘電体物質を用いれば、より大きな容量のコンデンサを形成できるようになる。

【0042】本発明のコンデンサは、例えば、図4に示すようなプッシュプル回路のコンデンサ41や、図5に示すようなマイクロ波電源回路のバイパスコンデンサ44に用いると良い。バイパスコンデンサは比較的大きな容量を必要とするので、本発明の効果は大きい。

【0043】なお、図5において、43は軟磁性材料からなる平面インダクタ、45はパワーMOSトランジスタ、46は還流ダイオードを示している。このマイクロ波電源回路の具体的な構成を示す断面図を図6に示す。これは、薄膜プロセスにより、半導体ICとサンドイッチ型平面型磁気素子とをモノリシックに積層したワンチップタイプの超小型電源で、第2の実施例のコンデンサを用いた例である。また、平面インダクタ43の下部には、サーチコイル47が形成されている。

【0044】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、コンデンサを構成するポリシリコン膜4、23と電極9、29とのコンタクトをトレンチ溝内に充填したポリシリコン膜7、27により実現したが、その代わりに、ポリシリコン膜4、23に達すると不純物拡散層により、ポリシリコン膜4、23と電極9、29とを電気的に接続しても良い。その他、本発明の趣旨を逸脱しない範囲で種々変形して実施できる。

【0045】

【発明の効果】以上詳述したように本発明によれば、SOIの埋込み絶縁膜をコンデンサの絶縁膜として利用することにより、大容量化および高集積化が容易なコンデ

7

ンサを得られるようになる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例に係る S O I を用いた半導体装置の構造を示す断面図

【図 2】 図 1 のコンデンサを形成する領域を示す図

【図 3】 本発明の第 2 の実施例に係る S O I を用いた半導体装置の構造を示す断面図

【図 4】 プッシュプル回路を示す図

【図 5】 マイクロ波電源回路を示す図

【図 6】 図 5 のマイクロ波電源回路の具体的な構成を示す断面図

【図 7】 従来の M I S 型コンデンサの構造を示す断面図

【図 8】 従来の M I M 型コンデンサの構造を示す断面図

【図 9】 従来の接合型コンデンサの構造を示す断面図

【符号の説明】

1<sub>1</sub> …第 1 の p 型シリコン基板 (半導体基板)

1<sub>2</sub> …第 2 の n 型シリコン基板 (半導体基板)

2 …厚い酸化膜 (埋込み絶縁膜)

\* 3 …薄い酸化膜 (埋込み絶縁膜の薄膜部分)

4 …ポリシリコン膜 (導電膜)

5 …側壁酸化膜 (側壁絶縁膜)

6 …ポリシリコン膜

7 …ポリシリコン膜

8 …酸化膜、

9 …A l 電極 (電極)

2 1<sub>1</sub> …第 1 の p 型シリコン基板 (半導体基板)

2 1<sub>2</sub> …第 2 の n 型シリコン基板 (半導体基板)

10 2 2 …酸化膜 (第 1 の埋込み絶縁膜)

2 3 …ポリシリコン膜 (導電膜)

2 4 …酸化膜 (第 2 の埋込み絶縁膜)

2 5 …側壁酸化膜 (側壁絶縁膜)

2 6 …ポリシリコン膜

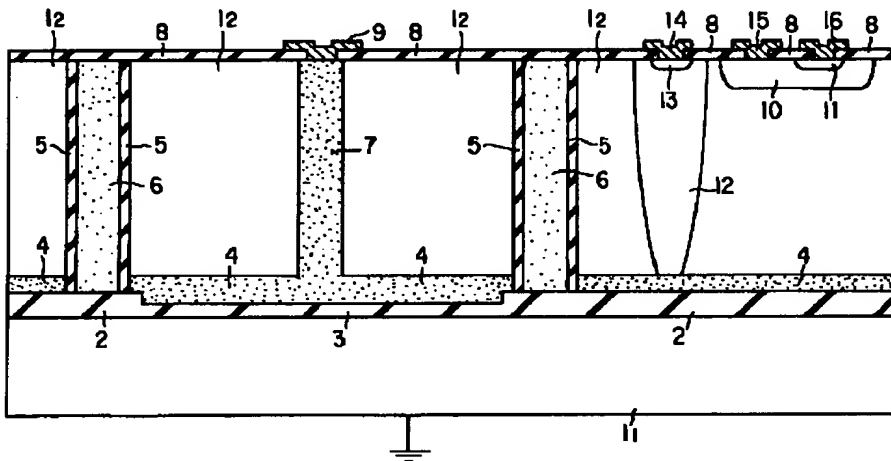
2 7 …ポリシリコン膜

2 8 …酸化膜

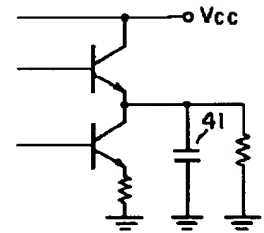
2 9 …A l 電極 (電極)

\*

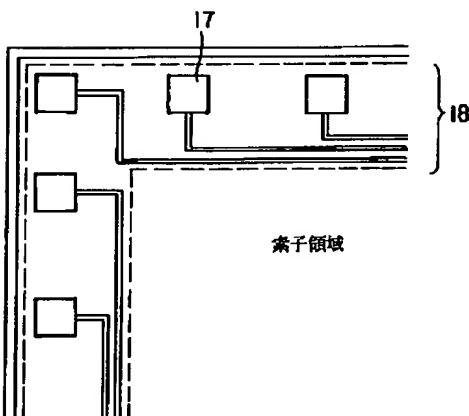
【図 1】



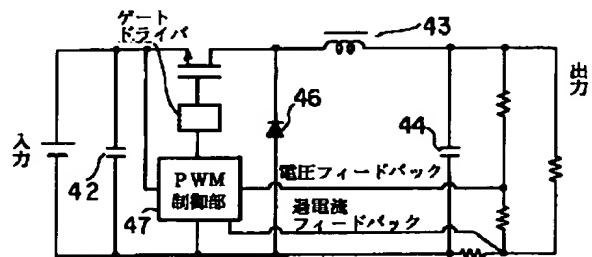
【図 4】



【図 2】



【図 5】





### 技術表示箇所